

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261056

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 10-061580

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.03.1998

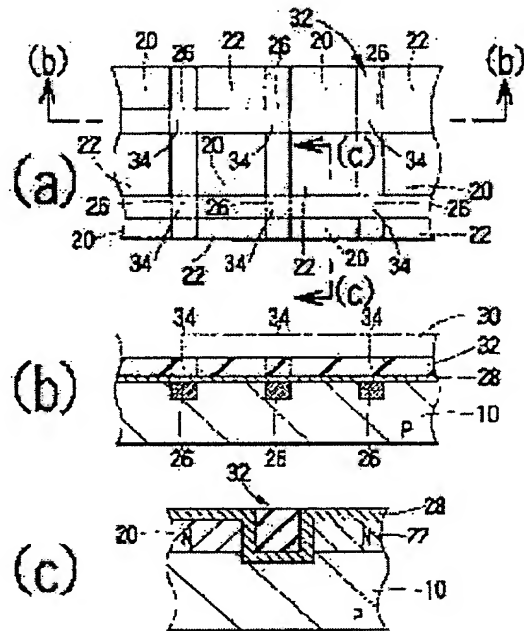
(72)Inventor : ISHIDA YUKITO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen a MOS transistor of lattice gate structure in parasitic capacitance between a lattice gate and a semiconductor substrate.

SOLUTION: A lattice-like gate 32 is formed on the front surface of a semiconductor substrate 10 through the intermediary of a gate insulating film 28. An intersection insulating part 26 is formed on the semiconductor substrate 10 under the intersections 34 of the gate 32 respectively. By thin setup, a parasitic capacity which is generated between the intersections 34 of the gate 32 and the semiconductor substrate 10 not being directly related to the operation of a MOS transistor can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11261056
PUBLICATION DATE : 24-09-99

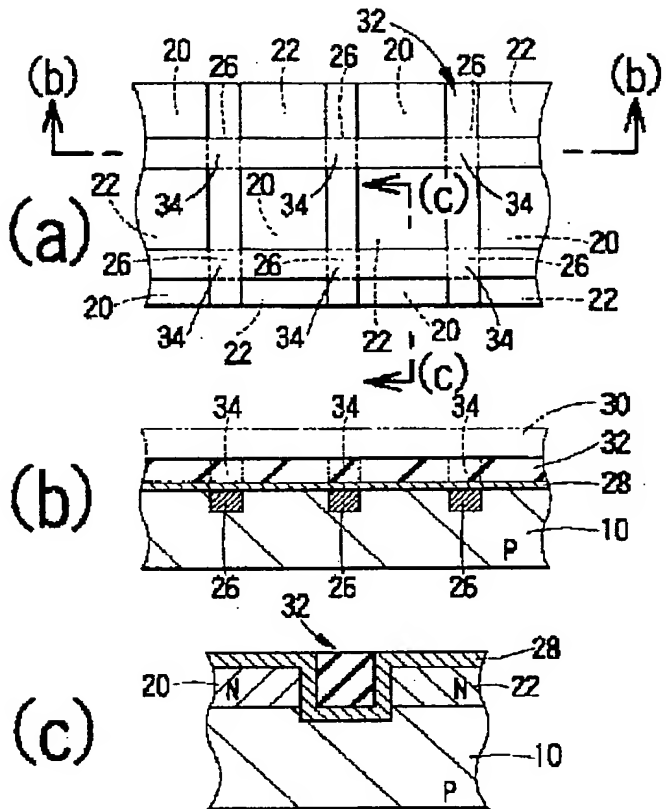
APPLICATION DATE : 12-03-98
APPLICATION NUMBER : 10061580

APPLICANT : TOSHIBA CORP;

INVENTOR : ISHIDA YUKITO;

INT.CL. : H01L 29/78

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To lessen a MOS transistor of lattice gate structure in parasitic capacitance between a lattice gate and a semiconductor substrate.

SOLUTION: A lattice-like gate 32 is formed on the front surface of a semiconductor substrate 10 through the intermediary of a gate insulating film 28. An intersection insulating part 26 is formed on the semiconductor substrate 10 under the intersections 34 of the gate 32 respectively. By thin setup, a parasitic capacity which is generated between the intersections 34 of the gate 32 and the semiconductor substrate 10 not being directly related to the operation of a MOS transistor can be reduced.

COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261056

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 W

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号

特願平10-61580

(22) 出願日

平成10年(1998) 3月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 石 田 幸 人

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝多摩川工場内

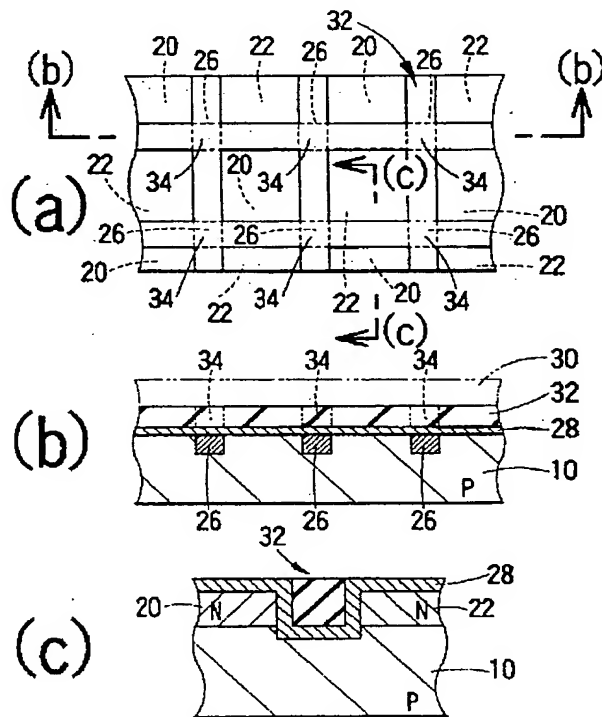
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 格子状ゲート構造のMOSトランジスタにおける格子状ゲートと半導体基板との間の寄生容量を低減する。

【解決手段】 半導体基板10の表面側にゲート絶縁膜28を介して格子状ゲート32を形成する。この格子状ゲート32の交差部34下側に当たる部分には、半導体基板10に交差絶縁部26を形成しておく。これにより、この格子状ゲート32の交差部34と半導体基板10との間に生じる動作とは直接的に関係のない部分の寄生容量の削減を図ることができる。



【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板表面側にゲート絶縁膜を介して平面視格子状に形成された格子状ゲートと、
前記半導体基板における前記格子状ゲートの各格子の間に形成されたソース／ドレイン領域と、
前記格子状ゲートの各交差部下側の半導体基板に形成された交差絶縁部と、
を備えたことを特徴とする半導体装置。

【請求項2】前記格子状ゲートは前記半導体基板表面側に埋め込んで形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記格子状ゲートは前記半導体基板表面から突設して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】第1導電型の半導体基板の表面側に形成された第2導電型の不純物層に、縦又は横のいずれか一方の方向に沿って第1の溝を形成する工程と、
前記半導体基板の表面側に形成された前記不純物層に、縦又は横の他方の方向に沿って第2の溝を形成することにより、これら第1及び第2の溝とをあわせて格子状の溝とし、この格子状の溝で前記不純物層を区画して各格子の間に複数のソース／ドレイン領域を形成するとともに、これら第1及び第2の溝の交差部における前記半導体基板に前記第1及び第2の溝における交差部以外の部分より深い交差絶縁部埋込孔を形成する工程と、
前記半導体基板における前記交差絶縁部埋込孔に絶縁部材を埋め込むことにより、交差絶縁部を形成する工程と、
少なくとも前記格子状の溝の表面をゲート絶縁膜で覆う工程と、
前記ゲート絶縁膜で覆った前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項5】前記交差絶縁部を形成する工程では、前記半導体基板の表面側に絶縁部材を堆積し、この堆積した絶縁部材をエッチングすることにより、自己整合的に前記半導体基板における前記交差絶縁部埋込孔に前記絶縁部材を残存させて前記交差絶縁部を形成する、ことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記ゲート絶縁膜を形成する工程では、前記格子状の溝を含めた前記半導体基板の表面側に全体的にゲート絶縁膜を形成する、ことを特徴とする請求項4又は請求項5に記載の半導体装置の製造方法。

【請求項7】前記格子状ゲートを形成する工程では、前記半導体基板の表面側に導電部材を堆積し、この堆積した導電部材をエッチングすることにより、自己整合的に前記半導体基板における前記格子状の溝に前記導電部材を残存させて前記格子状ゲートを形成する、ことを特徴とする請求項4乃至請求項6のいずれかに記載の半導体

装置の製造方法。

【請求項8】第1導電型の半導体基板の表面に、溝が形成されることにより型としての役割を果たすゲート型成形用膜を形成する工程と、

前記ゲート型成形用膜に、縦又は横のいずれか一方の方向に沿って前記半導体基板が露出するように第1の溝を形成する工程と、

前記ゲート型成形用膜に、縦又は横の他方の方向に沿って前記半導体基板が露出するように第2の溝を形成することにより、前記第1及び第2の溝とをあわせて前記ゲート型成形用膜に格子状の溝を形成するとともに、前記格子状の溝の交差部下側の半導体基板に、交差絶縁部埋込孔を形成する工程と、

前記半導体基板における前記交差絶縁部埋込孔を絶縁部材で埋め込むことにより、交差絶縁部を形成する工程と、

少なくとも前記格子状の溝から露出した半導体基板の表面をゲート絶縁膜で覆う工程と、

前記ゲート型成形用膜に形成された前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、

前記ゲート型成形用膜を除去する工程と、

前記格子状ゲートにおける各格子の間に位置する半導体基板の表面側に、第2導電型のソース／ドレイン領域を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項9】前記ゲート型成形用膜に第2の溝を形成する工程では、前記縦又は横の他方の方向に沿ってレジスト開孔を有するレジストを形成し、このレジストと前記ゲート型成形用膜とをマスクとして、前記半導体基板に前記交差絶縁部埋込孔を形成し、続いて、このレジストをそのままマスクとして用いて前記ゲート型成形用膜に第2の溝を形成する、ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】前記交差絶縁部を形成する工程では、前記半導体基板の表面側に絶縁部材を堆積し、この堆積した絶縁部材をエッチングすることにより、自己整合的に前記半導体基板における前記交差絶縁部埋込孔に前記絶縁部材を残存させて前記交差絶縁部を形成する、ことを特徴とする請求項8又は請求項9に記載の半導体装置の製造方法。

【請求項11】前記格子状ゲートを形成する工程では、前記半導体基板の表面側に導電部材を堆積し、この堆積した導電部材をエッチングすることにより、自己整合的に前記ゲート型成形用膜における前記格子状の溝に前記導電部材を残存させて前記格子状ゲートを形成する、ことを特徴とする請求項8乃至請求項10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に、格子状ゲートを有するMOSトランジスタの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOSトランジスタの単位面積当たりのゲート幅を増加するのに有効な構造として、格子状にゲートを配置する構造が知られている。図16は従来における通常のくし形ゲート構造のMOSトランジスタを平面的に示す図であり、図17は格子状ゲート構造のMOSトランジスタを平面的に示す図である。

【0003】図16からわかるように、くし形ゲート構造においては、ゲート100を4本設け、その間にソース領域102とドレイン領域104とを設けた場合、動作領域106内におけるゲート幅は8Wとなる。これに対して、格子状ゲート構造においては、図17からわかるように、ゲート110を図示の如く設け、その間にソース領域112とドレイン領域114とを設けた場合、動作領域116内におけるゲート幅は20Wとなる。このことからわかるように、MOSトランジスタのゲートを格子状構造とすることにより、単位面積当たりのゲート幅を増加できることが知られている。

【0004】

【発明が解決しようとする課題】図18は格子状ゲートを有するMOSトランジスタのゲート110部分を拡大して示す平面図である。この図18はn型MOSトランジスタを一例として示している。図19は図18におけるXIX-XIX線断面図である。

【0005】図18からわかるように、格子状のゲート110には、FET動作に寄与しない寄生容量が交差部118に存在する。すなわち、ソース領域112とドレイン領域114との間の電流パスに寄与しない部分である交差部118にも、寄生容量が存在してしまう。より詳しくは、図19からわかるように、半導体基板120の表面側にはゲート絶縁膜124が形成されており、このゲート絶縁膜124上にゲート110が設けられている。また、半導体基板120のゲート110下側には、チャネル領域122が存在する。しかし、半導体基板120におけるゲート110の交差部118下側は、ソース領域112とドレイン領域114に挟まれていないため、電流が流れる経路とはならない。したがって、この半導体基板120とゲート110の交差部118との間に存在する寄生容量は、このMOSトランジスタの動作に関係しないにも関わらず、存在することとなる。このような余分な寄生容量の存在は、MOSトランジスタの動作の高速化の妨げとなる。

【0006】そこで、本発明は上記課題に鑑みてなされたものであり、格子状に構成されたゲート110の交差部118に存在する寄生容量の低減を図ることを目的とする。すなわち、交差部118に存在するMOSトランジスタの動作に関係しない余分な寄生容量を削減するこ

とにより、MOSトランジスタの動作の高速化を図ることを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置は、半導体基板と、前記半導体基板表面側にゲート絶縁膜を介して平面視格子状に形成された格子状ゲートと、前記半導体基板における前記格子状ゲートの各格子の間に形成されたソース/ドレイン領域領域と、前記格子状ゲートの各交差部下側の半導体基板に形成された交差絶縁部と、を備えたことを特徴とする。

【0008】また、本発明に係る半導体装置の製造方法は、第1導電型の半導体基板の表面側に形成された第2導電型の不純物層に、縦又は横のいずれか一方の方向に沿って第1の溝を形成する工程と、前記半導体基板の表面側に形成された前記不純物層に、縦又は横の他方の方向に沿って第2の溝を形成することにより、これら第1及び第2の溝とをあわせて格子状の溝とし、この格子状の溝で前記不純物層を区画して各格子の間に複数のソース/ドレイン領域を形成するとともに、これら第1及び第2の溝の交差部における前記半導体基板に前記第1及び第2の溝における交差部以外の部分より深い交差絶縁部埋込孔を形成する工程と、前記半導体基板における前記交差絶縁部埋込孔に絶縁部材を埋め込むことにより、交差絶縁部を形成する工程と、少なくとも前記格子状の溝の表面をゲート絶縁膜で覆う工程と、前記ゲート絶縁膜で覆った前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、を備えたことを特徴とする。

【0009】さらに、本発明に係る半導体装置の製造方法は、第1導電型の半導体基板の表面に、溝が形成されることにより型としての役割を果たすゲート型成形用膜を形成する工程と、前記ゲート型成形用膜に、縦又は横のいずれか一方の方向に沿って前記半導体基板が露出するように第1の溝を形成する工程と、前記ゲート型成形用膜に、縦又は横の他方の方向に沿って前記半導体基板が露出するように第2の溝を形成することにより、前記第1及び第2の溝とをあわせて前記ゲート型成形用膜に格子状の溝を形成するとともに、前記格子状の溝の交差部下側の半導体基板に、交差絶縁部埋込孔を形成する工程と、前記半導体基板における前記交差絶縁部埋込孔を絶縁部材で埋め込むことにより、交差絶縁部を形成する工程と、少なくとも前記格子状の溝から露出した半導体基板の表面をゲート絶縁膜で覆う工程と、前記ゲート型成形用膜に形成された前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、前記ゲート型成形用膜を除去する工程と、前記格子状ゲートにおける各格子の間に位置する半導体基板の表面側に、第2導電型のソース/ドレイン領域を形成する工程と、を備えたことも特徴とする。

【0010】

【発明の実施の形態】（第1実施形態）本発明の第1実施形態は、格子状ゲートを半導体基板に埋め込んで形成したタイプのMOSトランジスタにおいて、半導体基板における格子状ゲートの交差部下側に位置する部分に交差絶縁部を設けることにより、格子状ゲートと半導体基板との間の寄生容量の低減を図ったものである。より詳しくを以下に説明する。

【0011】図1乃至図6は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図である。これら各図において、（a）は半導体装置の平面図であり、

（b）は（a）における（b）-（b）線断面図である。また、図7における（c）は、同図（a）における（c）-（c）線断面図である。

【0012】図1からわかるように、p型のシリコンからなる半導体基板10上に、n型の不純物層12を形成する。この不純物層12は、例えば、エピタキシャル成長で形成することが可能であり、又は、イオン打ち込みにより形成することも可能である。不純物層12は、最終的にソース/ドレイン領域を形成するためのものである。続いて、半導体基板10表面側の不純物層12に、格子状ゲート形成予定領域における一方方向の溝14aを形成する。本実施形態においては、図中における縦方向の溝14aを形成する。この縦方向の溝14aは、例えば、レジストをリソグラフィーにより縦方向のレジスト開孔を有するようにパターンニングして、異方性エッチングをすることにより形成することができる。この溝14aは、少なくとも不純物層12を貫通するまで形成する必要がある。

【0013】次に図2からわかるように、半導体基板10の表面側に、格子状ゲート形成予定領域における他方向の溝14bを形成する。本実施形態においては、図中における横方向の溝14bを形成する。この横方向の溝14bは、例えば、レジストをリソグラフィーにより横方向のレジスト開孔を有するようにパターンニングして、異方性エッチングをすることにより形成することができる。この溝14bも、少なくとも不純物層12を貫通するまで形成する必要がある。このエッチングにより、縦方向の溝14aと横方向の溝14bとからなる格子状の溝14がゲート形成予定領域に形成される。また、この格子状の溝14における交差部は、他の溝の部分よりも一段深い交差絶縁部埋込孔16が形成される。さらに、この格子状の溝14における各格子の内側には、n型のソース領域20とn型のドレイン領域22とが交互に形成される。すなわち、不純物層12を格子状の溝14で区画することにより、各格子の間にソース/ドレイン領域20、22が形成される。

【0014】次に図3からわかるように、この中間半導体装置の表面に全体的に絶縁部材としてのシリコン酸化膜24を堆積する。このシリコン酸化膜24は、例え

ば、CVD（chemical vapor deposition）等により堆積することができる。このシリコン酸化膜24を堆積することにより、格子状の溝14はこのシリコン酸化膜により埋められ、中間半導体装置の表面はほぼ平滑化される。

【0015】次に図4からわかるように、シリコン酸化膜24をエッチバックすることにより、深く形成された交差絶縁部埋込孔16にシリコン酸化膜24を残存させて、交差絶縁部26を形成する。この交差絶縁部26は、例えば、シリコン酸化膜24をRIE（reactive ion etching）する際にそのエッチング量を調整することにより、自己整合的に形成することができる。この交差絶縁部26を形成することにより、格子状の溝14の深さは、その交差部を含めて全体的にほぼ同一の深さとなる。

【0016】次に図5からわかるように、この中間半導体装置の表面に全体的にゲート絶縁膜としてのゲート酸化膜28を形成し、この中間半導体装置の表面をゲート酸化膜28で覆う。このゲート酸化膜は、例えば、熱酸化により形成することができる。

【0017】次に図6からわかるように、この中間半導体装置上にゲートを構成するための導電性膜30を全体的に堆積する。この導電性膜30は格子状の溝14を全体的に埋めて、この中間半導体装置の表面側が平滑化されるまで堆積する。導電性膜30は、例えば、CVDによりポリシリコンや、スパッタリングにより高融点金属、等の導電部材を堆積することにより得ることができる。続いて、この導電性膜30を自己整合的にエッチングすることにより、格子状ゲート32を形成する。すなわち、エッチング量を調整して、格子状の溝14にある導電性膜30を残存させることにより、格子状ゲート32を形成する。この導電性膜30のエッチングとしては、RIEによるエッチングや、CMP（chemical mechanical polishing）によるエッチングがあげられる。以上の工程により、第1実施形態に係るMOSトランジスタを得ることができる。

【0018】以上のように、第1実施形態に係るMOSトランジスタによれば、図6からわかるように、格子状ゲート32の交差部34下側の半導体基板10に、交差絶縁部26を設けることとしたので、この交差部34における寄生容量を低減することができる。より詳しくは、格子状ゲート32の交差部34の下側に、シリコン酸化膜からなる交差絶縁部26を設けた。この交差絶縁部26により、交差部34と半導体基板10との間に生じる寄生容量を削減することができる。つまり、このMOSトランジスタのFET動作に関係のない格子状ゲート32の交差部34における寄生容量を低減することができる。そして、このように寄生容量を削減することにより、MOSトランジスタの動作の高速化を図ることができる。

【0019】しかも、交差絶縁部26を有するMOSトランジスタを自己整合的に製造することができる。より詳しくは、図1からわかるように、半導体基板10における一方向の溝14aを形成し、図2からわかるように、これとは別の工程で他方向の溝14bを形成することにより、自己整合的にこれらの交差部分に深い交差絶縁部埋込孔16を形成することができる。その後、図3及び図4からわかるように、自己整合的にこの深い交差絶縁部埋込孔16に交差絶縁部26を形成することができる。さらに、図5及び図6からわかるように、溝14に自己整合的に格子状ゲート32を形成することができる。このように製造プロセスを自己整合的にすることにより、製造過程におけるマスク合わせが不要になり、プロセスの微細化を図ることができる。また、格子状ゲート32が半導体基板10に埋め込んである構造であるので、MOSトランジスタの微細化を図った場合にも、短チャネル効果を生じにくくすることができる。

【0020】(第2実施形態)第2実施形態は、半導体基板の表面に格子状ゲートを突設して形成したタイプの半導体装置において、この格子状ゲートの交差部下側の半導体基板に交差絶縁部を設けることにより、格子状ゲートと半導体基板との間の寄生容量の低減を図ったものである。より詳しくを以下に説明する。

【0021】図8乃至図13は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図である。これら各図において、(a)は半導体装置の平面図であり、(b)は(a)における(b)-(b)線断面図である。また、図12及び図13における(c)は、それぞれの図(a)における(c)-(c)線断面図である。

【0022】図7からわかるように、シリコンからなる半導体基板40上に、シリコン酸化膜42とシリコン窒化膜44とを堆積する。これらシリコン酸化膜42とシリコン窒化膜44とは、例えば、CVDにより堆積することができる。これらシリコン酸化膜42とシリコン窒化膜44とで、本実施形態におけるゲート型形成用膜を構成する。このゲート型形成用膜は後に溝が形成されることにより、ゲートを形成するための型としての役割を果たす部材である。続いて、シリコン酸化膜42とシリコン窒化膜44とに、格子状ゲート形成予定領域における一方向の溝46aを形成する。本実施形態においては、図中における縦方向の溝46aを形成する。この溝46aは、シリコン酸化膜42とシリコン窒化膜44とを貫通して、半導体基板40の表面が露出するように形成する。

【0023】次に図8からわかるように、この中間半導体装置上にレジスト48を塗布し、このレジスト48における格子状ゲート形成予定領域の他方向の溝に沿って、レジスト開孔50をパターンニングする。本実施形態においては、図中における横方向に向かってレジスト開孔50を形成する。続いて、このレジスト開孔50から

露出しているシリコンからなる半導体基板40を選択的に異方性エッチングすることにより、半導体基板40に交差絶縁部埋込孔52を形成する。すなわち、レジスト48とシリコン窒化膜44とをマスクとして機能させて、半導体基板40の露出部分のみをエッチングする。この異方性エッチングとしては、シリコン窒化膜44に対して選択性のあるRIEがあげられる。

【0024】次に図9からわかるように、先の工程で形成したレジスト48をそのままマスクとして用いて、シリコン酸化膜42とシリコン窒化膜44とを選択的に異方性エッチングすることにより、格子状ゲート形成予定領域の他方向の溝48bを形成する。すなわち、本実施形態においては、シリコン酸化膜42とシリコン窒化膜44とに、横方向の溝48bを形成する。この溝46bも、前述した溝46aと同様に、シリコン酸化膜42とシリコン窒化膜44とを貫通して、半導体基板40の表面が露出するように形成する。この溝46bを形成するための異方性エッチングとしては、例えば、RIEがあげられる。この溝48bと前述した溝48aとで、格子状の溝48がシリコン酸化膜42とシリコン窒化膜44とに形成される。

【0025】次に図10からわかるように、レジスト48を除去する。続いて、この中間半導体装置上に絶縁部材としてのシリコン酸化膜54を堆積する。このシリコン酸化膜54は、例えば、CVD等により堆積することができる。このシリコン酸化膜54を堆積することにより、格子状の溝46はこのシリコン酸化膜54により埋められ、中間半導体装置の表面はほぼ平滑化される。

【0026】次に図11からわかるように、シリコン酸化膜54をエッチバックすることにより、交差絶縁部埋込孔52にシリコン酸化膜54を残存させて、交差絶縁部56を形成する。この交差絶縁部56は、例えば、シリコン酸化膜54をRIEする際にそのエッチング量を調整することにより、自己整合的に形成することができる。

【0027】次に図12からわかるように、この中間半導体装置における格子状の溝46から露出している半導体基板40の表面に、ゲート絶縁膜としてのゲート酸化膜58を形成する。そして、このゲート酸化膜58で、格子状の溝46から露出している半導体基板40の表面を覆う。このゲート酸化膜58は、例えば、熱酸化により形成することができる。続いて、この中間半導体装置上にゲートを構成するための導電性膜60を全体的に堆積する。この導電性膜60は格子状の溝14を全体的に埋めて、この中間半導体装置の表面側が平滑化されるまで堆積する。導電性膜60は、例えば、CVDによりポリシリコン、あるいは、スパッタリングにより高融点金属、等の導電部材を堆積することにより得ることができる。続いて、この導電性膜60を自己整合的にエッチングすることにより、格子状ゲート62を形成する。すな

わち、エッチング量を調整して、格子状の溝46にある導電性膜60を残存させることにより、格子状ゲート62を形成する。この導電性膜60のエッチングとしては、RIEによるエッチングや、CMP (chemical mechanical polishing) によるエッチングがあげられる。

【0028】次に図13からわかるように、格子状ゲート62の各格子の間に形成されたシリコン酸化膜42とシリコン窒化膜44とを、選択的にエッチングすることにより除去する。すなわち、格子状ゲート62の各格子間に形成されたシリコン酸化膜42とシリコン窒化膜44とを取り除くことにより、p型の半導体基板40を露出させる。このシリコン酸化膜42とシリコン窒化膜44とエッチングとしては、例えば、RIEがあげられる。続いて、この中間半導体装置に不純物イオンを打ち込んで、ソース領域64とドレイン領域66とを形成する。このソース領域64とドレイン領域66の形成は、格子状ゲート62がマスクとしての役割を果たすので、自己整合的に行うことができる。以上の工程により、第2実施形態に係るMOSトランジスタを得ることができる。

【0029】以上のように、第2実施形態に係るMOSトランジスタによっても、第1実施形態と同様に、格子状ゲート62の交差部68下側の半導体基板40に、交差絶縁部56を設けることとしたので、この交差部68における寄生容量を低減することができる。

【0030】しかも、第1実施形態と同様に、交差絶縁部56を有するMOSトランジスタを自己整合的に製造することができる。より詳しくは、図7からわかるように、シリコン酸化膜42とシリコン窒化膜44に一方の溝46aを形成し、図8及び図9からわかるように、これとは別の工程で他方向の溝44bを形成することにより、格子状の溝46を形成する。この他方向の溝44bを形成する前に、自己整合的に半導体基板40に交差絶縁部埋込孔52を形成する。さらに、図10及び図11からわかるように、この交差絶縁部埋込孔52に自己整合的に交差絶縁部56を形成する。続いて、図12からわかるように、格子状の溝46を埋めるように自己整合的に格子状ゲート62を形成し、図13からわかるように自己整合的にシリコン酸化膜42とシリコン窒化膜44とをエッチングにより除去して、ソース/ドレイン領域64、66を形成する。このように製造プロセスを自己整合的にすることにより、製造過程におけるマスク合わせが不要になり、プロセスの微細化を図ることができる。

【0031】しかも、格子状ゲート62が半導体基板40上に突設して形成されているので、この格子状ゲート62とソース/ドレイン領域64、66との間の容量を小さくすることができる。

【0032】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、第2実施形態における

ゲート型成形用膜は、シリコン酸化膜42とシリコン窒化膜44との複層構造ではなく、シリコン窒化膜からなる単層構造であってもよい。すなわち、エッチングに際して半導体基板40に対して選択性のある部材であれば足りる。

【0033】また、上記実施形態ではn型のMOSトランジスタを例に説明したが、p型のMOSトランジスタであっても同様に適用できる。第1実施形態をp型MOSトランジスタに適用した場合は図14に示す如く形成され、同様に第2実施形態をp型MOSトランジスタに適用した場合は図15に示す如く形成される。

【0034】さらに、上記各実施形態においては、格子状の溝14、46を形成する際に、縦方向の溝14a、46aを先に形成した後に横方向の溝14b、46bを形成したが、これを逆にしてもよい。すなわち、横方向の溝14b、46bを先に形成した後に縦方向の溝14a、46aを形成してもよい。

【0035】

【発明の効果】本発明によれば、格子状ゲートを有するMOSトランジスタにおいて、この格子状ゲートの交差部下側の半導体基板に交差絶縁部を設けたので、格子状ゲートの交差部と半導体基板との間に生じる寄生容量の削減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図2】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図3】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図4】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図5】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図6】本発明の第1実施形態に係る半導体装置を示す断面図 (n型MOSトランジスタの場合)。

【図7】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図8】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

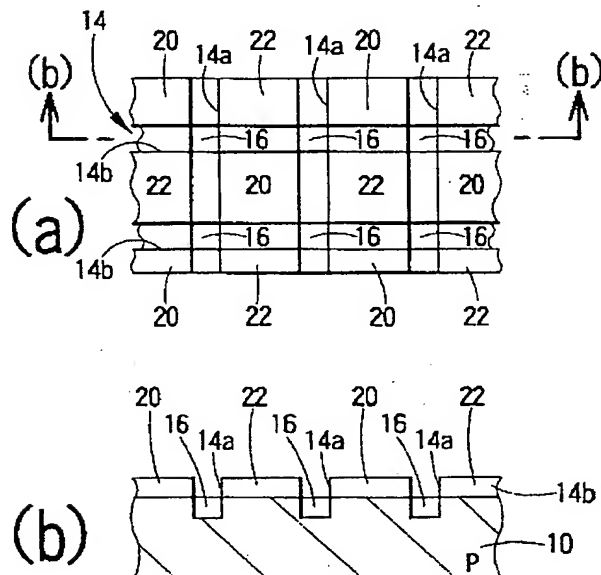
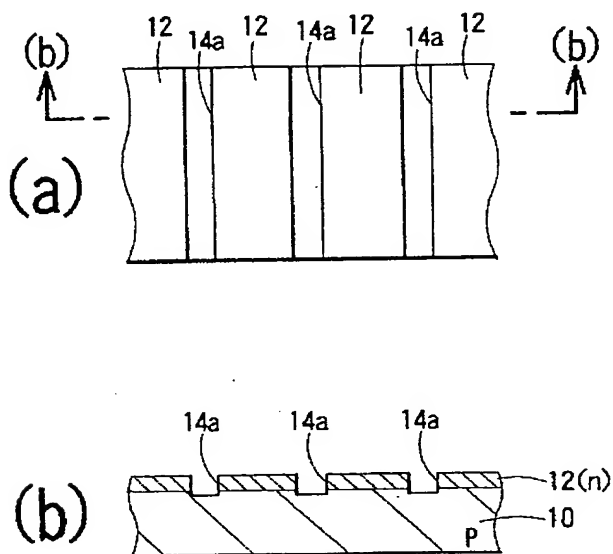
【図9】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSトランジスタの場合)。

【図15】p型MOSトランジスタに第2実施形態を適用した場合を示す断面図。

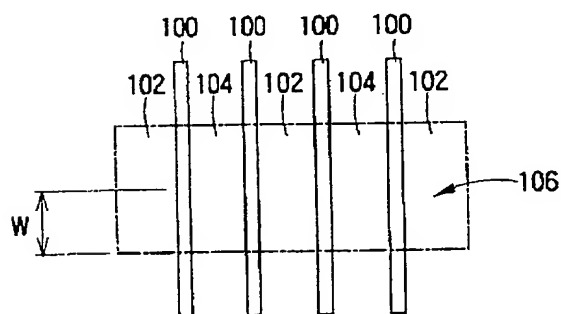
【符号の説明】

- | | |
|----|--------|
| 10 | 半導体基板 |
| 20 | ソース領域 |
| 22 | ドレイン領域 |
| 26 | 交差絶縁部 |
| 28 | ゲート酸化膜 |
| 32 | 格子状ゲート |
| 34 | ゲート交差部 |

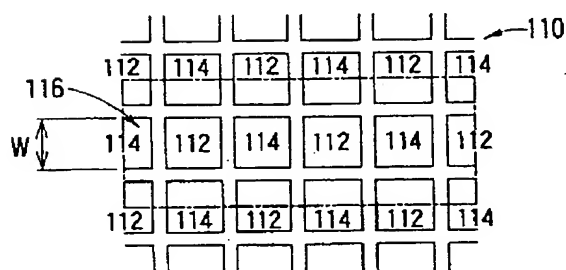
【図2】



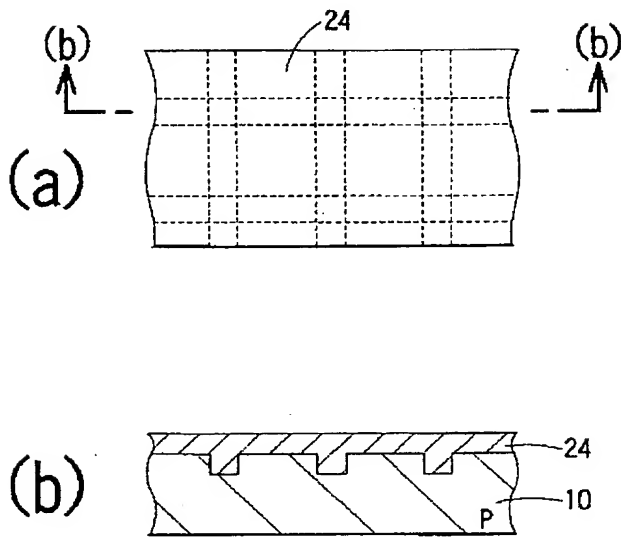
【图 16】



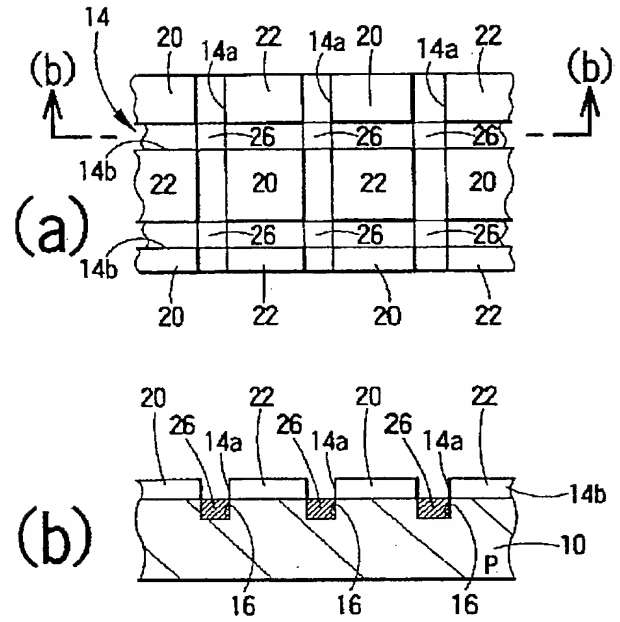
【图 17】



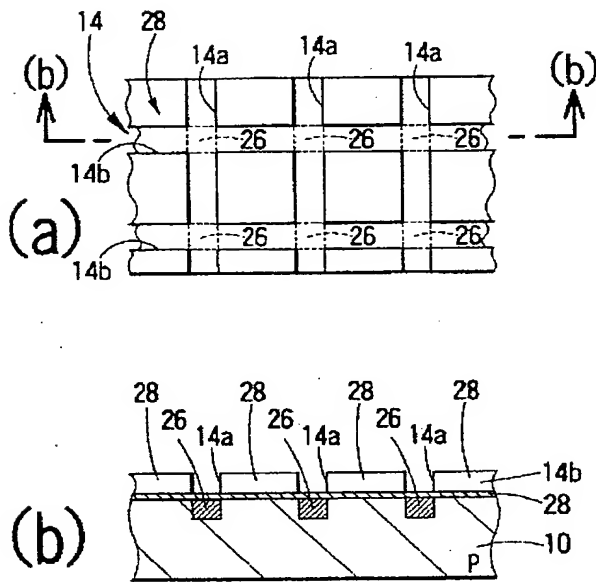
【図3】



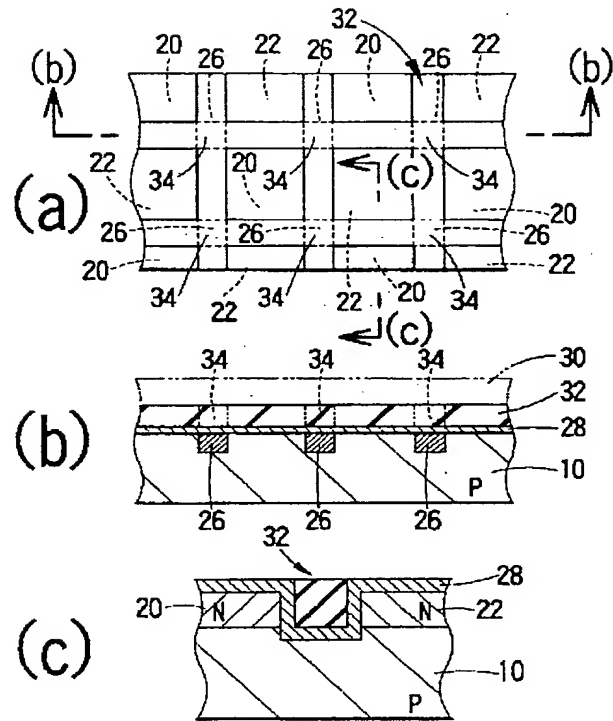
【図4】



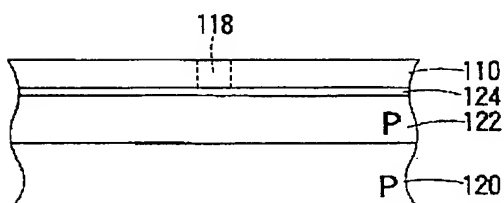
【図5】



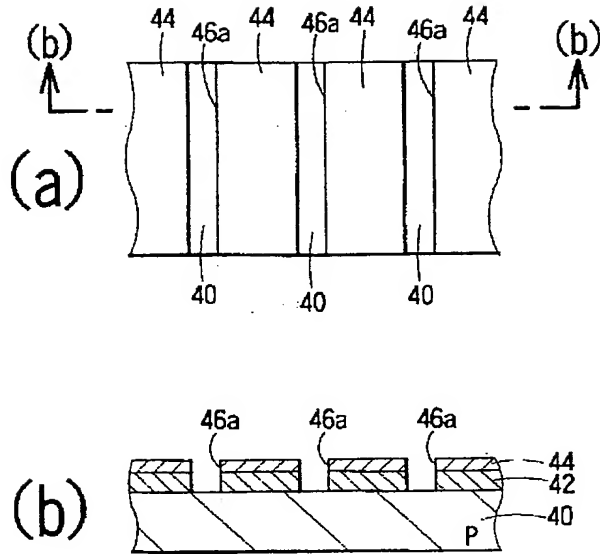
【図6】



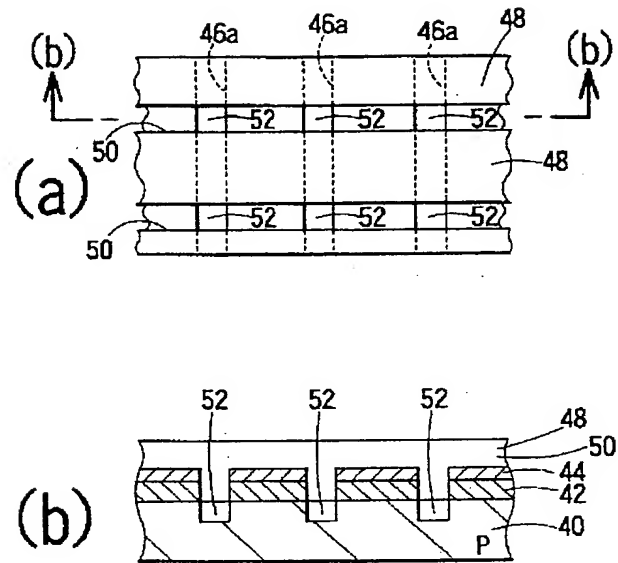
【図19】



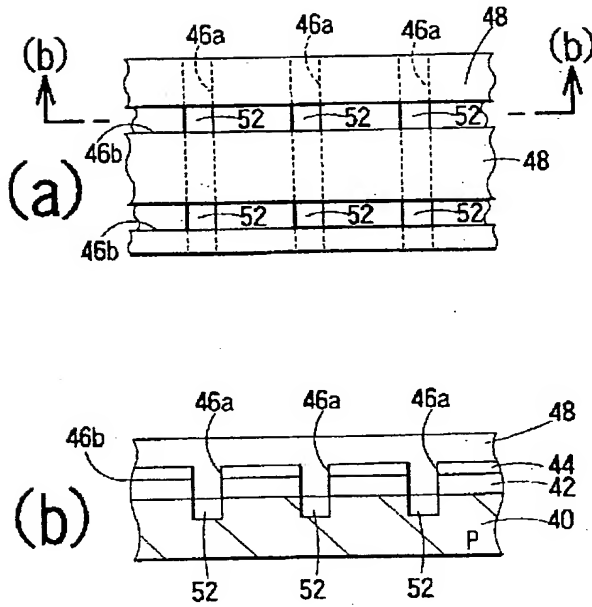
【図7】



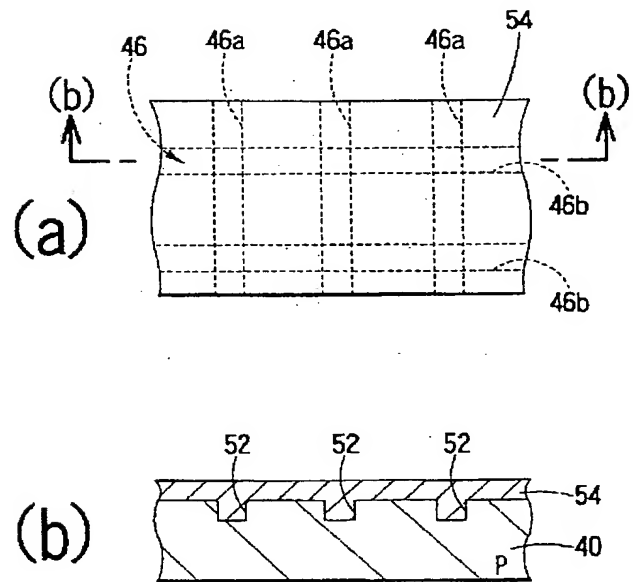
【図8】



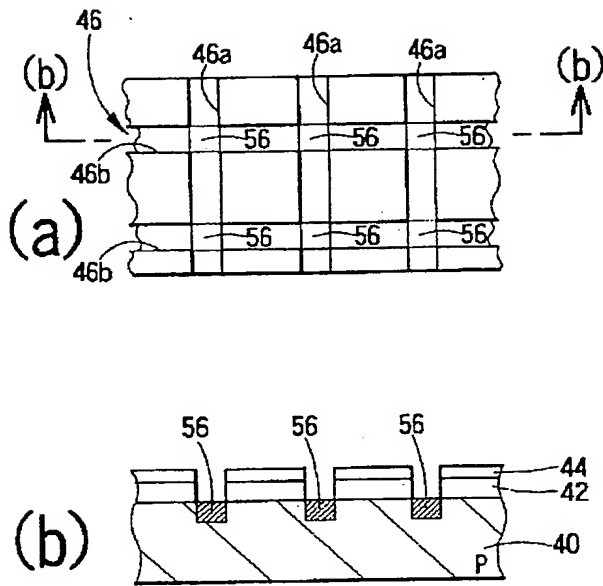
【図9】



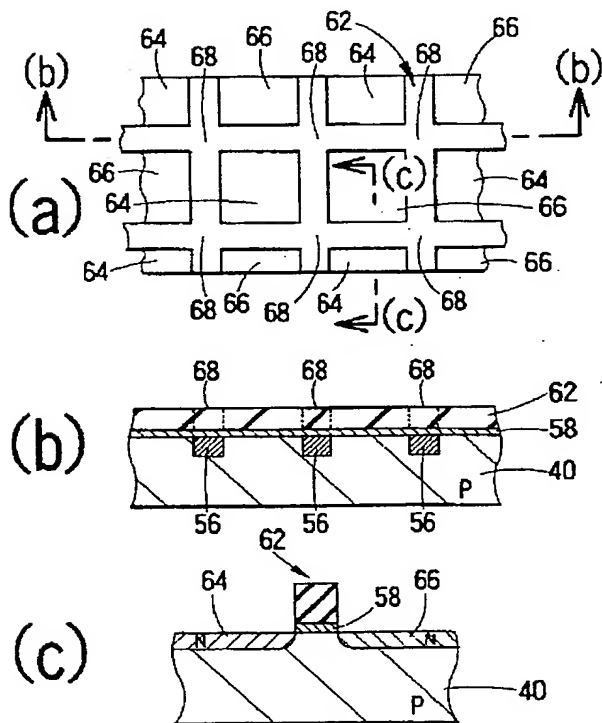
【図10】



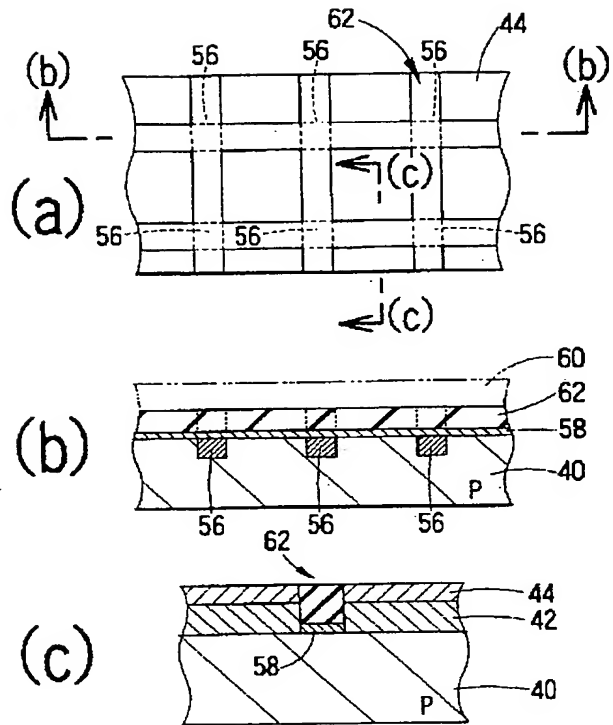
【図11】



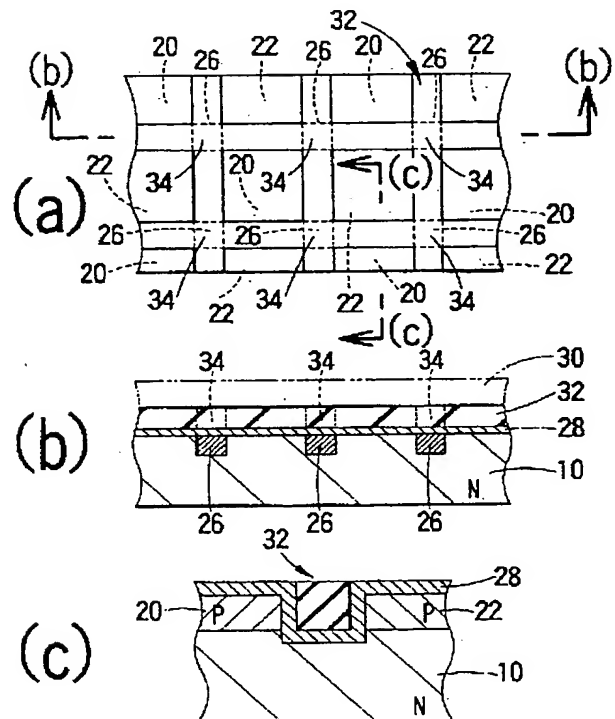
【図13】



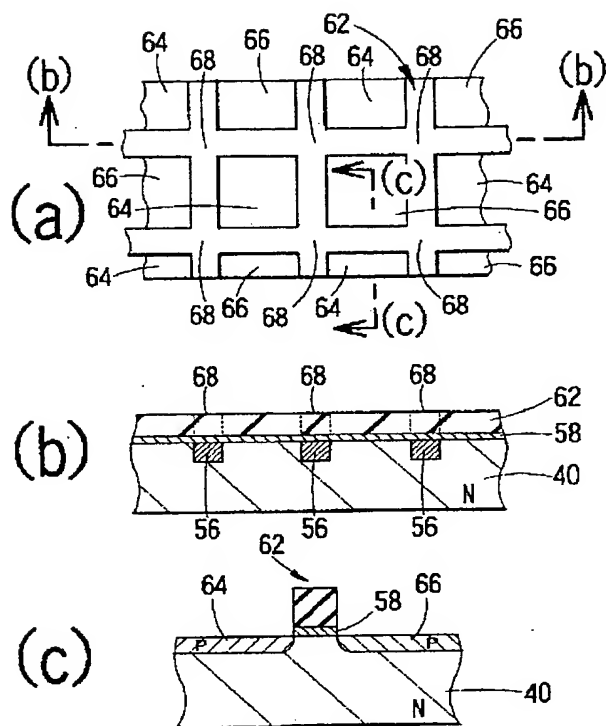
【図12】



【図14】



【図15】



【図18】

